

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-081642

(43)Date of publication of application : 21.03.2000

---

(51)Int.Cl. G02F 1/1365

G09F 9/30

H01L 21/20

H01L 21/268

H01L 29/786

H01L 21/336

---

(21)Application number : 11-191210 (71)Applicant : HITACHI LTD

(22)Date of filing : 06.07.1999 (72)Inventor : KAWACHI GENSHIRO

SHINAGAWA TAKAAKI

MIMURA AKIO

---

(30)Priority

Priority number : 10190097

Priority date : 06.07.1998

Priority country : JP

---

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the reliability of an element by surface smoothening and to enhance performance such as transfer rate by the increase of grain diameter by fusing the grains of a polycrystalline semiconductor by

irradiation with high energy laser beams.

SOLUTION: A silicon dioxide film is formed on an alkali-free glass substrate in 200 nm thickness. A hydrogenated amorphous silicon film of 35 nm thickness is then formed by plasma CVD using monosilane and hydrogen as gaseous starting materials. Hydrogen contained in the hydrogenated amorphous silicon film is released by irradiation with 30 shots of 200 mJ/cm<sup>2</sup> XeCl excimer laser beams and the dehydrogenated amorphous silicon is crystallized by irradiation with 300 mJ/cm<sup>2</sup> XeCl excimer laser beams to form a polycrystalline silicon film. The grains of the polycrystalline silicon film having about 60 nm average grain diameter are mutually fused by irradiation with 380 mJ/cm<sup>2</sup> XeCl excimer laser beams 4 to obtain the objective polycrystalline silicon film 6 having about 600 nm average grain diameter.

---

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and INPIT are not responsible for any  
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not  
reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] Gate wiring formed on the insulating substrate so that two or more  
signal wiring and these two or more signal wiring might be intersected, In the  
manufacture approach of a liquid crystal display of having the pixel electrode

connected to two or more semiconductor devices formed near the crossing of said signal wiring and said gate wiring, and these two or more semiconductor devices

The 1st process which forms the amorphous semiconductor film with which the semi-conductor film which constitutes said semiconductor device contains hydrogen, The 2nd process which irradiates the energy beam which has the 1st energy density on the amorphous semiconductor film containing said hydrogen, The 3rd process which irradiates the energy beam which has the 2nd larger energy density than said 1st energy density on said semi-conductor film,

The manufacture approach of a liquid crystal display of having the 4th process which irradiates the energy beam which has the 3rd larger energy density than said 2nd energy density on said semi-conductor film.

[Claim 2] The amorphous semiconductor layer of said 1st process is the manufacture approach of the liquid crystal display of claim 1 containing the hydrogen beyond 5at%.

[Claim 3] The thickness of the amorphous semiconductor layer of said 1st process is the manufacture approach of the liquid crystal display of 45nm or less claim 2 which is 20nm or more.

[Claim 4] Gate wiring formed on the insulating substrate so that two or more signal wiring and these two or more signal wiring might be intersected, Two or more semiconductor devices formed near the crossing of said signal wiring and

said gate wiring, In the manufacture approach of a liquid crystal display of having the pixel electrode connected to said two or more semiconductor devices, and the capacitive element by which connected with said two or more semiconductor devices, and one [ at least ] electrode was constituted from semi-conductor film The 1st process which forms the amorphous semiconductor film with which the semi-conductor film which constitutes the electrode of said capacitive element contains hydrogen, The 2nd process which irradiates the energy beam which has the 1st energy density on the amorphous semiconductor film containing said hydrogen, The 3rd process which irradiates the energy beam which has the 2nd larger energy density than said 1st energy density on said semi-conductor film, The manufacture approach of a liquid crystal display of having the 4th process which irradiates the energy beam which has the 3rd larger energy density than said 2nd energy density on said semi-conductor film.

[Claim 5] The amorphous semiconductor film of said 1st process is the manufacture approach of the liquid crystal display of claim 4 containing the hydrogen beyond 5at%.

[Claim 6] The thickness of the amorphous semiconductor film of said 1st process is the manufacture approach of the liquid crystal display of 45nm or less claim 5 which is 20nm or more.

[Claim 7] The semi-conductor film which constitutes one electrode of said semiconductor device or a capacitive element in the manufacture approach of a liquid crystal display according to claim 1 to 6 is the manufacture approach of a liquid crystal display that surface irregularity is 5nm or less.

[Claim 8] The semi-conductor film which constitutes one electrode of said semiconductor device or a capacitive element in the manufacture approach of a liquid crystal display according to claim 1 to 7 is the manufacture approach of a liquid crystal display that it is a polycrystal semi-conductor and the diameter of average crystal grain is 600nm or more.

[Claim 9] The manufacture approach of the liquid crystal display characterized by carrying out the 4th process from said 1st process in the manufacture approach of a liquid crystal display according to claim 1 to 6, without putting a semi-conductor film front face to atmospheric air.

[Claim 10] The manufacture approach of a liquid crystal display of having the process which forms an insulator layer on an insulating substrate, the process which form the amorphous semiconductor film containing hydrogen on said insulator layer, the process which irradiate the energy beam which has the 1st energy density on the amorphous semiconductor film containing said hydrogen, the process which irradiate the energy beam which has the 2nd larger energy density than said 1st energy density, and the process which irradiate the energy

beam which has the 3rd larger energy density than said 2nd energy density.

[Claim 11] It is the manufacture approach of a liquid crystal display that said semi-conductor film uses silicon as a principal component in the manufacture approach of a liquid crystal display according to claim 1 to 7.

[Claim 12] The manufacture approach of the liquid crystal display which produces the 2nd crystalline semi-conductor which forms the 1st crystalline semi-conductor by the energy beam exposure of laser etc., irradiates energy beams, such as laser which has a still higher energy density, is made to weld the crystal grain contained in said 1st crystalline semi-conductor in the manufacture approach of a liquid crystal display of having the process which irradiates a energy beam and a semi-conductor thin film is made crystalizing, and has bigger crystal grain than the 1st crystalline semi-conductor.

[Claim 13] In the manufacture approach of a liquid crystal display of having the process which irradiates energy beams, such as laser, and the semi-conductor thin film of 45nm or less of thickness is made crystallizing Energy beams, such as laser which has a still higher energy density after forming the 1st crystalline semi-conductor by the energy beam exposure of laser etc., are irradiated. The manufacture approach of the liquid crystal display characterized by producing the 2nd crystalline semi-conductor which is made to weld the crystal grain contained in said 1st crystalline semi-conductor, and has bigger crystal grain



than the 1st crystalline semi-conductor.

[Claim 14] It is the manufacture approach of a liquid crystal display that said semi-conductor thin film is an amorphous silicone film in the manufacture approach of claim 11 or the liquid crystal display of 12.

[Claim 15] It is the manufacture approach of the liquid crystal display which forms said amorphous semiconductor film by plasma chemistry vapor growth in the manufacture approach of a liquid crystal display according to claim 1 to 6.

[Claim 16] The manufacture approach of the liquid crystal display which forms the insulator layer which contacts said amorphous semiconductor film among said insulator layers in the manufacture approach of the liquid crystal display of claim 10 by the plasma chemistry vapor growth which used the mixed gas of alkoxysilane and oxygen as the raw material.

[Claim 17] It is the manufacture approach of a liquid crystal display that said alkoxysilane has Si-H association in intramolecular in the manufacture approach of the liquid crystal display of claim 16.

[Claim 18] The process which forms an insulator layer on an insulating substrate, and the process which forms the amorphous semiconductor film containing hydrogen on said insulator layer, The process which irradiates the energy beam which has the 1st energy density on the amorphous semiconductor film containing said hydrogen, The process which irradiates the energy beam which

has the 2nd larger energy density than said 1st energy density, The process which irradiates the energy beam which has the 3rd larger energy density than said 2nd energy density, The process which obtains the \*\*\*\*\* polycrystal semi-conductor film, and the process which carries out patterning of said polycrystal semi-conductor film to a predetermined configuration, The process which forms gate dielectric film so that said polycrystal semi-conductor by which patterning was carried out may be covered, Said gate dielectric film is minded. Said polycrystal semi-conductor a part The process which forms a gate electrode so that it may extend upwards, The process which introduces P type or an N type impurity into the predetermined part of said polycrystal semi-conductor with means, such as ion-implantation, by using said gate electrode as a mask, The process which activates said P type or an N type impurity by heat treatment, and forms the source and a drain field, The process which forms an interlayer insulation film so that said polycrystal semi-conductor and a gate electrode, the source, and a drain field may be covered, The process which prepares opening in the interlayer insulation film on said source and a drain electrode, The process which forms a source electrode and a drain electrode through said opening so that it may connect with said source and a drain field, The process which forms a protection insulator layer so that said source and a drain electrode may be covered at least, The manufacture approach of a liquid crystal display of having

the process which prepares the 2nd opening in the protection insulator layer on said source or a drain electrode, and the process which forms the pixel electrode linked to said source or a drain electrode through said 2nd opening.

[Claim 19] Said insulating substrate is the manufacture approach of a liquid crystal display that a point [ distortion ] is a glass substrate 700 degrees C or less in the manufacture approach of a liquid crystal display according to claim 1 to 18, and one of them is 800mm or more at least.

[Claim 20] Gate wiring formed on the insulating substrate so that two or more signal wiring and these two or more signal wiring might be intersected, In the liquid crystal display which has the pixel electrode connected to two or more semiconductor devices formed near the crossing of said signal wiring and said gate wiring, and said two or more semiconductor devices The semi-conductor film which constitutes said semiconductor device is a liquid crystal display which was produced by the laser crystallizing method and whose diameter of average crystal grain thickness is 45nm or less 20nm or more, the surface average of roughness height is 5nm or less, and is 600nm or more.

[Claim 21] Gate wiring formed on the insulating substrate so that two or more signal wiring and these two or more signal wiring might be intersected, Two or more semiconductor devices formed near the crossing of said signal wiring and said gate wiring, In the liquid crystal display which has the pixel electrode

connected to said two or more semiconductor devices, and the capacitive element by which connected with said two or more semiconductor devices, and one [ at least ] electrode was constituted from semi-conductor film The semi-conductor film which constitutes the electrode of said capacitive element is a liquid crystal display which was produced by the laser crystallizing method and whose diameter of average crystal grain thickness is 45nm or less 20nm or more, the surface average of roughness height is 5nm or less, and is 600nm or more.

[Claim 22] Gate wiring formed so that two or more signal wiring and said two or more signal wiring might be intersected at an insulating substrate top, In the liquid crystal display which has at least the pixel electrode connected to two or more semiconductor devices formed near the crossing of said signal wiring and gate wiring, and said two or more semiconductor devices The thickness by which the semi-conductor film which constitutes said semiconductor device was produced by the laser crystallizing method is 45nm or less 20nm or more, and the surface average of roughness height is 5nm or less. And the die length  $L_n$  of a periphery [ in / when the diameter of average crystal grain is 600nm or more and area of the crystal grain of arbitration is set to  $S_n$  / the front face of the crystal grain ] is  $R_n = (S_n / \pi)^{1/2}$ . As opposed to  $R_n$  defined The liquid crystal display which is the semi-conductor thin film with which  $L_n \leq 4\pi R_n$  is realized in

at least 50% or more of crystal grain.

[Claim 23] Gate wiring formed so that two or more signal wiring and these two or more signal wiring might be intersected on an insulating substrate, Two or more semiconductor devices formed near the crossing of said signal wiring and said gate wiring, In the liquid crystal display which has the pixel electrode connected to said two or more semiconductor devices, and the capacitive element by which connected with said two or more semiconductor devices, and one [ at least ] electrode was constituted from semi-conductor film The thickness by which the semi-conductor film which constitutes the electrode of said capacitive element was produced by the laser crystallizing method is 45nm or less 20nm or more, and the surface average of roughness height is 5nm or less. And the die length  $L_n$  of a periphery [ in / when the diameter of average crystal grain is 600nm or more and area of the crystal grain of arbitration is set to  $S_n$  / the front face of the crystal grain ] is  $R_n = (S_n / \pi)^{1/2}$ . As opposed to  $R_n$  defined The liquid crystal display which is the semi-conductor thin film with which  $L_n \leq 4\pi R_n$  is realized in at least 50% or more of crystal grain.

[Claim 24] Said semi-conductor film is a liquid crystal display which is the polycrystal silicone film whose main crystal orientation on the front face of the film is (111) in a liquid crystal display according to claim 20 to 23.

[Claim 25] Said insulating substrate is a liquid crystal display whose point

[ distortion ] is a glass substrate 700 degrees C or less in a liquid crystal display according to claim 20 to 24.

[Claim 26] Said semiconductor device is a liquid crystal display which has the top gate structure where the gate electrode was formed through the insulator layer in the liquid crystal display given in a term to either of claims 20-24 on said semi-conductor film.

[Claim 27] It is the manufacture approach of a liquid crystal display that said energy beam is a laser beam in the manufacture approach of a liquid crystal display according to claim 1 to 6.

[Claim 28] It is the manufacture approach of a liquid crystal display of performing the exposure of the energy beam of said 2nd process, said 3rd process, or said 4th process two or more times in the manufacture approach of a liquid crystal display according to claim 1 to 6.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the configuration and

its manufacture approach of a liquid crystal display of the high definition which has a large size, a high definition, and high definition about a liquid crystal display and its manufacture approach.

[0002]

[Description of the Prior Art] The liquid crystal display of an active-matrix method using the thin film transistor (it is described as Following TFT) as an indicating equipment of image information, such as OA equipment, and text is known. In this kind of liquid crystal display, low-cost-izing, highly-minute-izing, and high definition-ization is an important technical problem conventionally. In order to solve these technical problems, the improvement in the engine performance of TFT which is a key device is indispensable. To also constitute the circumference drive circuit which drives a TFT active matrix from TFT, to be accumulated on the same substrate, and to reduce cost is tried as it faces forming highly efficient TFT on a cheap glass substrate, for example, is indicated by JP,8-167722,A. Since circuitry and the mounting process which are mounted outside can be simplified if a more highly efficient circumference drive circuit is accumulable on a glass substrate, drastic reduction of mounting cost is expectable. In order to constitute a highly efficient circuit, more highly efficient TFT is needed. poly-SiTFT especially formed on the polycrystalline silicon (it is described as poly-Si below) film as TFT for the liquid crystal displays of a current

circumference drive circuit accumulation mold is expected. poly-Si of high performance In order to form TFT on a large area substrate, it is required to form the quality poly-Si film at low temperature. The laser crystallizing method using high power laser as a technique which forms the quality poly-Si film on a large-sized glass substrate at low temperature is learned.

[0003] Conventionally, by the laser crystalizing method of a semi-conductor thin film, in case polycrystal especially with a big particle size is formed, the projection of the height of the same level as the thickness generates. When this semi-conductor thin film is applied to the active layer of a device, especially a thin film transistor, in order that a hot carrier may degrade gate dielectric film by electric-field concentration in a height, this projection serves as a cause to which the proof-pressure property of gate dielectric film and the dependability over long-term use are reduced. As the manufacture approach of a crystalline semi-conductor thin film with little irregularity of the front face using laser crystallization reported until now, it is (1) IEEE TARANSCTIONS ON ELECTRON DEVICES and VOL.42 NO.2 1995 p251. It is laser as indicated 10 mJ/cm<sup>2</sup> A multistage story exposure is carried out in a pitch.

[0004] (2) Dig.of Tech.Papers 1997 Int.Workshop Active Matrix Liq.Cryst.Displays (Business Center of Academic Societies and Tokyo 1997) p167 Laser radiation is carried out, after polycrystal-izing amorphous silicon with



a solid phase grown method as indicated.

[0005] (3) The cap material which penetrates a laser beam is formed in a semi-conductor front face in the case of crystallization indicated by Dig.of Tech.Papers 1996 Int.Workshop Active Matrix Liq.Cryst.Displays (Business Center of Academic Societies and Tokyo 1996) p85, and there is the technique of suppressing concavo-convex growth.

[0006]

[Problem(s) to be Solved by the Invention] (1) of the conventional technique which has the following problems with the above-mentioned conventional technique is laser finely 10 mJ/cm<sup>2</sup> In order to carry out a multistage story exposure, it is hard to fuse the microcrystal silicon made once, and only the polycrystalline silicon whose diameter of crystal grain is about 60nm can be produced, but there is a trouble that big polycrystalline silicon 500nm or more cannot do the diameter of crystal grain.

[0007] In (2), in order to use a solid phase grown method, since silicon is heated at 1000 degrees C, a cheap glass substrate cannot be used, but there is a problem which cannot manufacture a crystalline semi-conductor by low cost.

[0008] In (3), it is a problem that a crystallization rate speeds up and only a polycrystal semi-conductor with bad quality with the small diameter of crystal grain is made at the time of melting by laser radiation since heat escapes by

heat conduction to cap material.

[0009] As mentioned above, coexistence of improvement in the component dependability according to smoothing of a front face with the approach of the conventional laser crystallization and improvement in engine performance, such as mobility by diameter[ of a large drop ]-izing, was difficult.

[0010] On the other hand, this invention aims at coexistence with expansion of the diameter of crystal grain, and control of projection generation in a semi-conductor front face using the laser crystallizing method, thickness is 45nm or less, and the diameter of average crystal grain is 600nm or more, and the surface average of roughness height offers 5nm or less, the crystalline flat semi-conductor [ highly efficient ] film, and the liquid crystal display using it.

[0011]

[Means for Solving the Problem] By this invention, in order to solve the above-mentioned technical problem, in case laser crystallization of the semi-conductor thin film is carried out, once setting thickness of a semi-conductor to 45nm or less and producing a polycrystal semi-conductor by laser radiation, irradiate the laser of high energy further, the crystal grain formed of pre- laser radiation is made to weld, and it is characterized by having still bigger crystal grain and growing up the polycrystal semi-conductor film with a flat front face.

[0012] The 1st process which specifically forms the amorphous semiconductor film containing hydrogen on an insulating substrate, The 2nd process which irradiates energy beams, such as a laser beam which has the 1st energy density on the amorphous semiconductor film containing said hydrogen, once [ at least ] or more, The 3rd process which irradiates energy beams, such as a laser beam which has the 2nd larger energy density than said 1st energy density on said semi-conductor film, once [ at least ] or more, The production process which has at least the 4th process which irradiates energy beams, such as a laser beam which has the 3rd larger energy density than said 2nd energy density, once [ at least ] or more was adopted as said semi-conductor film.

[0013] An amorphous semiconductor can be formed at low temperature 400 degrees C or less at homogeneity on a large-sized glass substrate which has one side 800mm or more by forming the amorphous semiconductor film which contains moderate hydrogen as initial film by the plasma-CVD method. Moreover, the thickness of the initial film affects the magnitude of the surface irregularity after laser recrystallization. If it is 45nm or less as thickness according to the experiment of this invention persons, it is clear that surface irregularity's it can control to 5nm or less in general.

[0014] Next, by the 1st laser radiation, the inside of said amorphous semiconductor is heated and the hydrogen in the film is desorbed.

[0015] Exposure energy density at this time is made into membranous melting and extent to which crystallization does not take place, and generating of the void of the film by the hydrogen in the film being emitted at a stretch is prevented.

[0016] Next, the polycrystal semi-conductor film which is made to recrystallize and consists of melting and small crystal grain whose diameter of average crystal grain is about 50nm in an amorphous semiconductor is obtained by the 2nd laser radiation stronger than the 1st laser.

[0017] If exposure energy is increased at a stretch in order to enlarge the diameter of crystal grain at this time In case the silicon fused completely crystallizes, in the field (grain boundary) in which the growth side where crystal growth progresses horizontally (it is an parallel direction to a substrate substrate), and adjoins it according to a big temperature gradient collides in order that a consistency may decrease from 2.5 g/cm<sup>3</sup> of a melting condition to 2.3 g/cm<sup>3</sup> of a crystallized state -- expansion of the volume -- happening -- a projection -- generation -- the purpose of obtaining a smooth front face cannot be attained. For this reason, it is important to choose the range where the polycrystal semi-conductor film which consists of small crystal grain whose diameters of average crystal grain are about 50nm as 2nd laser beam reinforcement is obtained.

[0018] More nearly finally than the 2nd laser beam, by the exposure of the 3rd

still stronger laser beam, welding of the crystal grain of the diameter of a granule obtained by the 2nd laser radiation is carried out, and the polycrystal semi-conductor film of the diameter of a large drop is obtained. Thus, when the crystal grain which faced across the grain boundary carries out welding (secondary grain growth) of the obtained diameter polycrystal semi-conductor film of a large drop, expansion of crystal grain has broken out. Since the thing when crystallizing the height of a projection by low laser since the collision of the crystal growth side which progresses horizontally did not break out at this time is maintained, a crystallization process at large is covered and generation of a high projection is controlled.

[0019] Moreover, for the polycrystal semi-conductor film obtained by doing in this way, the die length  $L_n$  of a periphery [ in / it is an indeterminate form and / the front face of the crystal grain ] is [ crystal grain ]  $R_n = (S_n/\pi)^{1/2}$ . In at least 50% or more of crystal grain,  $L_n \leq 4\pi R_n$  is realized to  $R_n$  defined. Usually, by the polycrystal semi-conductor film produced with the solid phase grown method, crystal grain serves as a dendrite configuration, it has very big periphery length to the area of crystal grain, and an upper type is not realized. By such polycrystal semi-conductor film, carrier mobility with them is not obtained. [ there are many crystal defects and big ] On the other hand, the polycrystal semi-conductor film by this invention serves as a crystalline semi-conductor with him. [ the small

periphery length of crystal grain, and ] [ quality ]

[0020] The polycrystal semi-conductor film flat in such a diameter of a large drop is suitable for highly efficient TFT at high reliance.

[0021] The description of others of this invention will become clear from the gestalt of the following operations.

[0022]

[Embodiment of the Invention] Hereafter, the example using silicon as semi-conductor film is explained per example of this invention, referring to a drawing.

[0023] (Gestalt 1 of operation) 200nm of oxidation silicone films 2 is formed by the plasma-CVD method which used tetraethyl orthochromatic silicate (TEOS) and oxygen gas as the raw material by 680mmx880mm on the alkali-free-glass substrate 1 of 670 degrees C of points [ distortion ].

[0024] Membrane formation temperature is TEOS and O<sub>2</sub> at 360 degrees C. Flow rate is 1:100. A substrate oxidation silicone film needs to form the good film equivalent to gate oxide in order to contact the upper semi-conductor layer. TEOS:O<sub>2</sub> The fixed density of electric charge was able to obtain the small good oxidation silicone film 2 by setting a ratio to 1:100 and considering as the membrane formation temperature of 350 degrees C. Moreover, it is effective in order that using the TORIETOKISHI orthochromatic silicate (H-Si-O<sub>3</sub>(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub>)

which replaced one of the four alkyl groups of a TEOS molecule by H instead of TEOS may also form the good film.

[0025] Next, hydrogenation amorphous silicon 3 of 35nm of thickness is formed by the plasma-CVD method which makes a mono silane and hydrogen material gas. The amount of hydrogen in the film evaluated by infrared absorption spectrometry was 7 - 10at%. ( Drawing 1 )

Next, 200 mJ/cm<sup>2</sup> 30 shots irradiate the XeCl excimer laser 4, and the content of hydrogen of the above-mentioned hydrogenation amorphous silicone film 3 is desorbed. The film Nakamizu quantum after dehydrogenation treatment was 1 - 3at%. ( Drawing 2 )

Next, 300 mJ/cm<sup>2</sup> The XeCl excimer laser 4 is irradiated, the amorphous silicon 4 which carried out dehydrogenation processing is crystallized, and the polycrystal silicone film 5 is formed. The diameter of average crystal grain was about 60nm. ( Drawing 3 )

Next, 380 mJ/cm<sup>2</sup> When the XeCl excimer laser 4 was irradiated at the polycrystal silicone film 5, about 60nm crystal grain welded the diameter of average crystal grain mutually, and the polycrystal silicone film 6 whose diameter of average crystal grain is about 600nm was obtained. ( Drawing 4 )

The scanning electron microscope image photograph of the front face of the polycrystal silicone film 6 obtained by drawing 5 by doing in this way and a cross

section is shown. In order to clarify a grain boundary in a top view, etching processing has removed the grain boundary part. The membranous front face is very smooth so that a photograph may show, and it turns out that big crystal grain is obtained. Surface average irregularity was 3nm. Drawing 6 which is an element with the important thickness of early amorphous silicon when attaining flattening shows the front face of a polycrystal silicone film and cross-section scanning electron microscope image photograph which gave and produced the same process to hydrogenation amorphous silicon of 55nm of thickness. In spite of having passed through the same process, the projection of height comparable as thickness was found on the front face, and there were not a polycrystal silicone film produced by the conventional laser crystallizing method and a changing place at 55nm of thickness. Then, the relation of the thickness of the hydrogenation amorphous silicon which is surface irregularity and a diameter of crystal grain, and the initial film was investigated in the detail.

[0026] The membranous diameter of average crystal grain to the silicone film of initial thickness which is different in drawing 7, and the relation of the exposure energy of the 3rd excimer laser are shown.

[0027] In addition, the diameter of circle equal to the area of each crystal grain defines the mean particle diameter of crystal grain, and the diameter  $l_a$  of average crystal grain of the field (area is  $S$ ) of arbitration where  $m$  crystal grain



exists is defined by the degree type.

[0028]  $l_a = 2x (S/m) / (\pi)$  -- in addition, in the case of SEM, the area S of the range which asks for the diameter of average crystal grain is the sum total of the area of each crystal grain with which the whole was photoed in this invention 1/2, without the grain boundary in one visual field photoed for the scale factor which can check the magnitude of crystal grain separating and going out from a visual field. Moreover, when there are two or more visual fields, the full field bubble \*\*\*\* sum total serves as area S in the sum total of the area of the crystal grain with which each whole visual field went into the visual field. In the case of AFM, STM, etc., it is the sum total of the area of each crystal grain with which all grain boundaries entered in the measuring range of the arbitration.

[0029] The exposure energy with which the diameter of average crystal grain serves as max becomes so small that thickness becomes thin depending on the thickness of the initial film. Moreover, the maximum of the diameter of average crystal grain also becomes the largest at 45-35nm of thickness depending on the thickness of the initial film, and even if thickness is thinner than it and it is thick, it turns out that a maximum grain size becomes small. The surface energy in the substrate interface used as the driving force of secondary grain growth becomes large compared with grain boundary energy required for the atomic rearrangement in a grain boundary, and it is thought of for secondary grain

growth to become easy to happen that a maximum grain size becomes large, so that thickness becomes thin. From this result, in order to enlarge the diameter of crystal grain, as thickness of the initial film, 45nm or less is understood that 35nm - 45nm is desirably good.

[0030] Drawing 8 shows the surface irregularity of the film with which the diameter of the maximum average crystal grain was obtained, and the relation of the thickness of the diameter of the maximum crystal grain, and the initial film.

[0031] Surface irregularity is the average of roughness height for which it asked with the atomic force microscope (AFM).

[0032] By this invention, the surface average of roughness height means arithmetic mean granularity (Ra), and when analyzing the shape of surface type of a semi-conductor by three dimensions, it breaks by measurement area the volume of the part surrounded in respect of the average height of the shape of a surface type-like curved surface and surface type. In this invention, when analysis means by which the shape of surface type can be analyzed by three dimensions, such as AFM and scanning tunneling microscope STM, analyze measurement area, it considers as the range of the arbitration on the front face of a semi-conductor with a bigger area than the analytical limit area which can be analyzed. On the other hand, when analyzing the shape of surface type with the 2-dimensional cross-section structure of a semi-conductor, if the surface

average of roughness height is obtained from a surface type-like curve as shown in drawing 9 , it will break the integral value of surface type-like height by measurement length. Cross-section structure is observable with the photograph of the scanning electron microscope (SEM) of TEM or a high resolution. Moreover, it is also possible to scan the measurement needle of AFM or STM once. The range of the measurement length which computes the average of roughness height by this invention is one visual field or two or more visual fields of an electron microscope which are the scale factors which can compute granularity, when making electron microscopes, such as TEM and SEM, into an analysis means. Moreover, when using AFM and STM, it is the range of the arbitration on the front face of a semi-conductor longer than the measurement marginal die length. In this invention, the method of computing the average of roughness height may use whichever of the calculation from the configuration of three dimensions, and the calculation from a cross-section configuration. If the Z-axis and the measured surface type-like curved surface are made into  $z=f(x,y)$  for the direction of thickness when the configuration of three dimensions is seen, Ra will become like a degree type.

[0033]  $Ra = (1/(Lx \cdot Ly)) \int_0^{Lx} \int_0^{Ly} f(x,y) dx dy$  -- if the Z-axis and the measured surface type-like curve are made into  $z=f(x)$  for the direction of thickness when the direction measurement length of  $Lx:X$ , the method of

direction measurement Choichi of Ly:Y, and cross-section structure are seen here, Ra will become like a degree type.

[0034]  $Ra = (1/Lx) \int_0^L f(x) dx$  -- it is the direction measurement length of Lx:X here.

[0035] It turns out that 20nm or more of initial thickness is more desirable than the result of drawing 8 in order to obtain 600nm of diameters of average crystal grain. Moreover, in order to obtain the surface irregularity of 5nm or less, it is desirable for thickness to set 45nm to 40nm or less desirably.

[0036] Moreover, when the polycrystal silicone film by this invention was observed with the X-ray diffraction method, it became clear that the crystal face parallel to a substrate side was carrying out orientation to a field (111) strongly. In Si, this is a phenomenon which happens since the surface energy of a field becomes the smallest (111), and has proved that it is caused by the secondary grain growth to which surface energy serves as a driving force and increase of the diameter of crystal grain takes place.

[0037] Moreover, by arranging the crystal face of crystal grain in this way, on practical use, the potential barrier in a grain boundary becomes low, and it is effective in carrier mobility increasing.

[0038] (Gestalt 2 of operation) Drawing 10 - drawing 19 explain the gestalt of operation of the 2nd of this invention.

[0039] 100nm of silicon nitride films 200 is deposited in 680mmx880mm by the plasma-CVD method which used the mixed gas of a mono silane, ammonia, and nitrogen as the raw material on the alkali-free-glass substrate 1 of 670 degrees C of points [ distortion ].

[0040] Next, 200nm of oxidation silicone films 2 is formed by the plasma-CVD method which used tetraethyl orthochromatic silicate (TEOS) and oxygen gas as the raw material.

[0041] Then, hydrogenation amorphous silicon 3 of 40nm of thickness is formed by the plasma-CVD method which makes a mono silane and hydrogen material gas. ( Drawing 10 ) Form silicon 3. The amount of hydrogen in the film evaluated by infrared absorption spectrometry was 7 - 10at%.

[0042] Next, 200 mJ/cm<sup>2</sup> 30 shots irradiate the XeCl excimer laser 4, and the content hydrogen of the above-mentioned hydrogenation amorphous silicone film 3 is desorbed. The film Nakamizu quantum after dehydrogenation treatment was 1 - 3at%.

[0043] Next, 300 mJ/cm<sup>2</sup> The XeCl excimer laser 4 is irradiated, the amorphous silicon 3 which carried out dehydrogenation processing is crystallized, and the polycrystal silicone film 5 is formed. The diameter of average crystal grain was set to about 60nm at this time.

[0044] Next, 380 mJ/cm<sup>2</sup> If the XeCl excimer laser 4 is irradiated at the

polycrystal silicon film 5, crystal grain will weld and the diameter of average crystal grain will form the polycrystal silicon film 6 whose surface average of roughness height is 3nm by about 600nm. ( Drawing 11 ) Next, carry out patterning of said polycrystal silicon film 6 to a predetermined configuration by the well-known photolithography method.

[0045] Next, by the plasma-CVD method which used tetraethyl orthochromate silicate (TEOS) and oxygen gas as the raw material, gate dielectric film 20 is used as a diacid-ized silicon film, and is deposited 50nm. The substrate temperature at the time of formation is 360 degrees C, TEOS, and O<sub>2</sub>. The gas mixture ratio set to 1:100 and obtained the diacid-ized silicon film as gate dielectric film 20. ( Drawing 12 )

Next, 250nm of Nb film is deposited by the sputtering method as a gate electrode, and the gate electrode 10 which is a scan wiring electrode which carried out patterning to the predetermined flat-surface configuration by the well-known photolithography method, and was united with the gate electrode of TFT and this is obtained. ( Drawing 13 )

Next, it is Lump n inside at acceleration voltage 45keV and dose 1E13cm<sup>-2</sup> about Lynn by ion-implantation, using a gate electrode as a mask. - A layer 311 is formed. ( Drawing 14 ) Next, drive in Lynn after forming a predetermined photoresist pattern by acceleration voltage 40keV and dose 1E15cm<sup>-2</sup> by the

photolithography method, and it is n+. A layer 31 is formed. ( Drawing 15 )

Another photoresist pattern is formed by the photolithography method after removing the aforementioned photoresist pattern, boron is poured in by acceleration energy 30keV and dose  $3 \times 10^{15} \text{cm}^{-2}$ , and it is p+. A layer 32 is formed. ( Drawing 16 )

500nm of diacid-ized silicone films is deposited as an interlayer insulation film 21 by the plasma-CVD method which used tetraethyl orthochromatic silicate (TEOS) and oxygen gas as the raw material as an interlayer insulation film, it heat-treats at 450 degrees C for 1 hour, and impregnation ion is activated. ( Drawing 17 )

After carrying out opening of the contact through hole to an interlayer insulation film by the well-known photolithography method, as the source and a drain electrode, aluminum is deposited in 450nm, Cr is deposited by the 50nm sputtering method, patterning is carried out by the well-known photolithography method, and the source electrode 11 and the drain electrode 12 are obtained. ( Drawing 18 )

Next, 500nm of silicon nitride films is deposited as a protection insulator layer 23 by the plasma-CVD method which used the mixed gas of 200nm, a mono silane, ammonia, and nitrogen as the raw material for the diacid-ized silicone film as a protection insulator layer 22 as a protection insulator layer by the plasma-CVD

method which used tetraethyl orthochromatic silicate (TEOS) and oxygen gas as the raw material.

[0046] Next, by heat-treating a substrate at 400 degrees C among hydrogen or nitrogen-gas-atmosphere for 1 hour, the hydrogen contained in the silicon nitride film as a protection insulator layer 23 is diffused to said polycrystal silicon film 3, and the defect which exists in the grain boundary is closed and inactivated.

[0047] Finally, after carrying out opening of the contact through hole to a protection insulator layer by the well-known photolithography method, 140nm of ITO film is deposited by the sputtering method, it is processed by the well-known photolithography method, the pixel electrode 13 is formed, and the active-matrix substrate using polycrystalline silicon TFT is obtained. ( Drawing 19 )

Since the surface average of roughness height constituted the TFT active matrix from a gestalt of this operation using 3nm and the flat polycrystal silicon film 6, thickness of the gate dielectric film on the polycrystal silicon film 6 was able to be made thin to 50nm, without reducing dependability.

[0048] Drawing 20 compares with the conventional TFT the gate-source leak current characteristic of TFT produced by the manufacture approach of the gestalt this operation.

[0049] Gate dielectric film shows big leakage current with the 50nm conventional



component in the low electric-field field of 2 or less MV/cm of impression electric fields by electric-field concentration by the height of a polycrystal silicone film front face. And although dielectric-breakdown electric field do not bear practical use as TFT for a liquid crystal drive low with 4 or less MV/cm, either In TFT produced by the manufacture approach of the gestalt this operation, for surface smooth nature, the leakage current in a low electric-field field was suppressed sufficiently low, and dielectric-breakdown electric field were also high in cm and 7MV /, and TFT of high reliance was obtained.

[0050] Moreover, since the diameter of average crystal grain used polycrystalline silicon with 600nm and good crystallinity, 2/Vs, and good TFT were obtained 301cm as electric field effect mobility of NMOS. According to the description of high thin-film-izing of these carrier mobility and gate dielectric film, highly efficient TFT with high current drive capacity was able to be obtained. Since the high performance drive circuit needed for the drive circuit of a high-definition display is constituted, such high performance TFT is suitable.

[0051] (Gestalt 3 of operation) The top view of the unit pixel of the liquid crystal display which drawing 21 requires for the gestalt of another operation of this invention, and drawing 22 are the sectional views which met the line shown by A-Ain drawing 21 '.

[0052] In the gestalt of this operation, the description is that it constituted not

only the semi-conductor that constitutes TFT but one electrode of a capacitative element Cst connected to TFT from polycrystalline silicon of this invention. The capacitative element Cst consists of gate dielectric film 20 pinched by the polycrystal silicone film 30, the common electrode 15, and these.

[0053] Such a capacitative element is prepared in liquid crystal capacity and juxtaposition, in order to compensate the asymmetry of the liquid crystal applied voltage which originates in the feed-through electrical potential difference resulting from the electrical-potential-difference dependency of the capacity of a liquid crystal layer, and the parasitic capacitance between the gate-sources of TFT, and is generated. Although it is better to enlarge capacity value as much as possible in order to make asymmetry of liquid crystal applied voltage sufficiently small, since a capacitative element generally needs area, if a big capacity is formed, the area of opening which light penetrates within a pixel will become small, and efficiency for light utilization will fall.

[0054] Moreover, short [ poor ] tends to happen in the part by volume which takes a big area. If the conventional polycrystal silicone film which has a big projection in a front face especially is used as a capacity electrode, short [ in a part by volume / poor ] will occur frequently, and it will be easy to generate a pixel defect. Since there was almost no poor short generating in the capacitative element section by having used the polycrystal silicone film with the front face

flat as a capacity electrode by this invention, the good liquid crystal display without a pixel defect has been constituted. Moreover, since it became possible to make the insulator layer of a part by volume thin, without making short [ poor ] increase, capacity per unit area could be enlarged and an area required for capacity formation has been reduced. For this reason, since area of opening was enlarged, efficiency for light utilization improved, and the brighter liquid crystal display has been constituted.

[0055] (Gestalt 4 of operation) Drawing 23 shows the equal circuit of the whole display which accumulated the circumference drive circuit on the same substrate with the TFT active matrix. Y1 - Yend The drain electrode 12 which are the scan signal line 10 and the video-signal line which consists of X1 R-XendB, and the active matrix 50 which consists of TFT formed near [ these ] the crossing, The \*\* level scanning circuit 53 for dividing into two or more blocks the video signal for the vertical-scanning circuit 51 which drives this, and the 1 scanning line, and supplying it in time sharing, and video signal Data The data signal lines Vdr1, Vdg1, and Vdb1, -- to supply, It consists of a switch matrix circuit 52 which supplies a video signal to an active-matrix side for every division block.

[0056] As semi-conductor film, the front irregularity which is the description of this invention was as flat as 5nm or less, and since the diameter of average crystal grain used the polycrystal silicone film of the diameter of a large drop

600nm or more, TFT of high mobility of 300 or more cm<sup>2</sup>/Vs was able to be obtained by NMOS. By having used this TFT, it became accelerable [ a horizontal scanning circuit ]. By this, since the number of partitions in the case of dividing a video signal into two or more blocks was lessened, the number of signal path cords from the outside could be lessened, and the compact liquid crystal display has been realized.

[0057] Moreover, improvement in the speed of a drive circuit realized 1600x3 number of vertical-scanning lines 1200 level signal lines, and a high definition drive circuit built-in liquid crystal display in the diagonal size of 10 inches.

[0058] (Gestalt 5 of operation) Drawing 24 shows the liquid crystal cell cross section of the liquid crystal display concerning this invention. On the lower glass substrate 1, the pixel electrode 13 with which the gate electrode 10 and the drain electrode 12 which is a video-signal electrode consist of ITO through TFT which was formed in the shape of a matrix and formed near [ the ] the intersection is driven on the basis of the liquid crystal layer 506. On the opposite glass substrate 508 which counters on both sides of the liquid crystal layer 506, the counterelectrode 510 which consists of ITO and the color filter 507, the color filter protective coat 511, and the light-shielding film 512 that forms the black matrix pattern for protection from light are formed. The polarizing plate 505 is formed in the front face of the outside of the glass substrate 1, 508 of a pair,

respectively. The liquid crystal layer 506 is enclosed between the lower alignment film ORI1 which sets up the sense of a liquid crystal molecule, and the up orientation film ORI2, and the seal is carried out by sealant SL (not shown). Lower alignment film ORI1 is formed in the upper part of the protection insulator layer 23 by the side of a glass substrate 1. A light-shielding film 512, a color filter 507, the color filter protective coat 511, a counterelectrode 510, and the up orientation film ORI2 carry out a laminating to the front face inside the opposite glass substrate 508 one by one, and are prepared in it. This liquid crystal display is assembly \*\*\*\* by forming separately the layer by the side of a glass substrate 1 and the opposite glass substrate 508, piling up the bottom glass substrate 1, 508 of that Gokami, and enclosing liquid crystal 506 among both. The color liquid crystal display of a TFT drive mold is constituted by adjusting transparency of the light from a back light BL in pixel electrode 13 part. High reliance and a high-definition TFT method liquid crystal display are realizable by using the semiconductor device of this invention described above as TFT of a drive circuit which drives TFT which drives the pixel electrode 13, and this.

[0059]

[Effect of the Invention] By this invention, since surface irregularity can manufacture the small and quality large thin film semiconductor of the diameter of crystal grain, the liquid crystal vote equipment of high-definition and high

reliance can be obtained using it.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the gestalt of operation of the 1st of this invention.

[Drawing 2] It is the sectional view showing the gestalt of operation of the 1st of this invention.

[Drawing 3] It is the sectional view showing the gestalt of operation of the 1st of this invention.

[Drawing 4] It is the sectional view showing the gestalt of operation of the 1st of this invention.

[Drawing 5] They are a cross section, and the flat-surface electron microscope photograph and its copy Fig. of the polycrystal silicone film of 40nm of thickness concerning the gestalt of operation of this invention.

[Drawing 6] They are a cross section, and the flat-surface electron microscope photograph and its copy Fig. of the polycrystal silicone film of 55nm of thickness out of range of this invention.

[Drawing 7] It is drawing showing the relation between the exposure laser energy in the silicone film with which thickness differs, and the diameter of average crystal grain.

[Drawing 8] It is drawing showing the maximum of the diameter of crystal grain of a polycrystal silicone film and average surface irregularity, and the relation of thickness.

[Drawing 9] It is a mimetic diagram explaining the definition of average surface irregularity.

[Drawing 10] It is the sectional view showing the gestalt of operation of this invention.

[Drawing 11] It is the sectional view showing the gestalt of operation of this invention.

[Drawing 12] It is the sectional view showing the gestalt of operation of this invention.

[Drawing 13] It is the sectional view showing the gestalt of operation of this invention.

[Drawing 14] It is the sectional view showing the gestalt of operation of this invention.

[Drawing 15] It is the sectional view showing the gestalt of operation of this invention.

[Drawing 16] It is the sectional view showing the gestalt of operation of this invention.

[Drawing 17] It is the sectional view showing the gestalt of operation of this invention.

[Drawing 18] It is the sectional view showing the gestalt of operation of this invention.

[Drawing 19] It is the sectional view showing the gestalt of operation of this invention.

[Drawing 20] The comparison of the gate leakage current characteristic of TFT produced by the approach of this invention and the conventional TFT is shown.

[Drawing 21] It is the top view of the unit pixel of the liquid crystal display concerning the gestalt of operation of this invention.

[Drawing 22] It is the sectional view of the unit pixel of the liquid crystal display concerning the gestalt of operation of this invention.

[Drawing 23] It is the whole drive circuit built-in liquid crystal display block diagram concerning the gestalt of operation of this invention.

[Drawing 24] It is the cel sectional view of the liquid crystal display concerning the gestalt of operation of this invention.

[Description of Notations]

1 -- A glass substrate, 2 -- A substrate oxidation silicone film, 3 -- Hydrogenation



amorphous silicon, 4 -- XeCl excimer laser, 5, 6, 30 -- A polycrystal silicone film,  
 10 -- Gate electrode, 11 [ -- Gate dielectric film, ] -- A source electrode, 12 -- A  
 drain electrode, 13 -- A pixel electrode, 20 21 -- An interlayer insulation film, 22 --  
 A protection insulator layer ( $\text{SiO}_2$ ), 23 -- Protection insulator layer ( $\text{Si}_3\text{N}_4$ ), 31 --  
 n+ A layer, 32 -- p+ A layer, 51 [ -- A TFT active matrix, 52 / -- A switch matrix  
 circuit, 200 / -- A silicon nitride film, 331 / -- n - / Layer. ] -- A vertical-scanning  
 circuit, 53 -- A horizontal scanning circuit, 50

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
G 0 2 F 1/1365		G 0 2 F 1/136	5 0 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
H 0 1 L 21/20		H 0 1 L 21/20	
21/268		21/268	F
29/786		29/78	6 2 7 G
審査請求 未請求 請求項の数28 O L (全 13 頁) 最終頁に続く			

(21) 出願番号 特願平11-191210

(22) 出願日 平成11年7月6日 (1999.7.6)

(31) 優先権主張番号 特願平10-190097

(32) 優先日 平成10年7月6日 (1998.7.6)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 河内 玄士朗

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 品川 陽明

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 三村 秋男

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 100075096

弁理士 作田 康夫

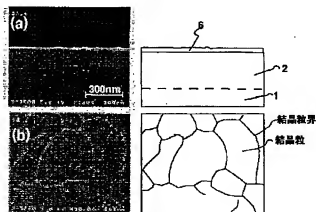
## (54) 【発明の名称】 液晶表示装置およびその製造方法

## (57) 【要約】

【課題】 結晶粒径が大きくなつ、表面凹凸が小さな結晶性半導体表面の凹凸を得る。

【解決手段】 水素を含む非晶質半導体の膜厚を45nm以下とし、レーザ照射により一旦多結晶半導体を作製した後、さらに高エネルギーのレーザを照射して、前のレーザ照射によって形成された結晶粒を融着させて、さらに大きな結晶粒を成長させる方法を採用した。結晶の横方向成長ではなく、小さな結晶粒を融着させて大きな結晶粒を作ることにより、結晶粒界における突起の生成を抑制でき、表面の凹凸が少なくなつ結晶粒径の大きな高品質な結晶性半導体を形成できる。

図 5



## 【特許請求の範囲】

【請求項 1】絶縁性基板上に、複数の信号配線と、該複数の信号配線に交差するように形成されたゲート配線と、前記信号配線と前記ゲート配線の交差点近傍に形成された複数の半導体素子と、該複数の半導体素子に接続された画素電極とを有する液晶表示装置の製造方法において、前記半導体素子とを構成する半導体膜は、水素を含有する非晶質半導体膜を形成する第 1 の工程と、前記水素を含有する非晶質半導体膜に、第 1 のエネルギー密度を有するエネルギービームを照射する第 2 の工程と、前記半導体膜に、前記第 1 のエネルギー密度より大きい第 2 のエネルギー密度を有するエネルギービームを照射する第 3 の工程と、前記半導体膜に、前記第 2 のエネルギー密度より大きい第 3 のエネルギー密度を有するエネルギービームを照射する第 4 の工程と、を有する液晶表示装置の製造方法。

【請求項 2】前記第 1 の工程の非晶質半導体膜は、5 at % 以上の水素を含有する請求項 1 の液晶表示装置の製造方法。

【請求項 3】前記第 1 の工程の非晶質半導体膜の膜厚は、45 nm 以下 20 nm 以上である請求項 2 の液晶表示装置の製造方法。

【請求項 4】絶縁性基板上に、複数の信号配線と、該複数の信号配線に交差するように形成されたゲート配線と、前記信号配線と前記ゲート配線の交差点近傍に形成された複数の半導体素子と、前記複数の半導体素子に接続された画素電極と、前記複数の半導体素子に接続されなくとも一方の電極が半導体膜で構成された容量素子と、を有する液晶表示装置の製造方法において、前記容量素子の電極を構成する半導体膜は、水素を含有する非晶質半導体膜を形成する第 1 の工程と、

前記水素を含有する非晶質半導体膜に、第 1 のエネルギー密度を有するエネルギービームを照射する第 2 の工程と、前記半導体膜に、前記第 1 のエネルギー密度より大きい第 2 のエネルギー密度を有するエネルギービームを照射する第 3 の工程と、前記半導体膜に、前記第 2 のエネルギー密度より大きい第 3 のエネルギー密度を有するエネルギービームを照射する第 4 の工程と、を有する液晶表示装置の製造方法。

【請求項 5】前記第 1 の工程の非晶質半導体膜は、5 at % 以上の水素を含有する請求項 4 の液晶表示装置の製造方法。

【請求項 6】前記第 1 の工程の非晶質半導体膜の膜厚は、45 nm 以下 20 nm 以上である請求項 5 の液晶表示装置の製造方法。

【請求項 7】請求項 1～6 のいずれかに記載の液晶表示装置の製造方法において、前記半導体素子または容量素子の一方の電極を構成する半導体膜は、表面の凹凸が 5 nm 以下である液晶表示装置の製造方法。

【請求項 8】請求項 1～7 のいずれかに記載の液晶表示装置の製造方法において、前記半導体素子または容量素子の一方の電極を構成する半導体膜は、多結晶半導体であって、平均結晶粒径が 600 nm 以上である液晶表示装置の製造方法。

【請求項 9】請求項 1～6 のいずれかに記載の液晶表示装置の製造方法において、前記第 1 の工程から第 4 の工程を半導体膜表面に大気に曝すことなく実施することを特徴とする液晶表示装置の製造方法。

【請求項 10】絶縁性基板上に、絶縁膜を形成する工程と、前記絶縁膜上に水素を含有する非晶質半導体膜を形成する工程と、前記水素を含有する非晶質半導体膜に、第 1 のエネルギー密度を有するエネルギービームを照射する工程と、前記第 1 のエネルギー密度より大きい第 2 のエネルギー密度を有するエネルギービームを照射する工程と、前記第 2 のエネルギー密度より大きい第 3 のエネルギー密度を有するエネルギービームを照射する工程とを有する液晶表示装置の製造方法。

【請求項 11】請求項 1～7 のいずれかに記載の液晶表示装置の製造方法において、前記半導体膜は、シリコンを主成分とする液晶表示装置の製造方法。

【請求項 12】半導体薄膜にエネルギービームを照射して結晶化させる工程を有する液晶表示装置の製造方法において、レーザ等のエネルギービーム照射により第 1 の結晶性半導体を形成し、更に高いエネルギー密度を有するレーザ等のエネルギービームを照射し、前記第 1 の結晶性半導体に含まれる結晶粒を融着せしめ、第 1 の結晶性半導体よりも大きな結晶粒を有する第 2 の結晶性半導体を作製する液晶表示装置の製造方法。

【請求項 13】膜厚 45 nm 以下の半導体薄膜にレーザ等のエネルギービームを照射して結晶化させる工程を有する液晶表示装置の製造方法において、レーザ等のエネルギービーム照射により第 1 の結晶性半導体を形成後、更に高いエネルギー密度を有するレーザ等のエネルギービームを照射して、前記第 1 の結晶性半導体に含まれる結晶粒を融着せしめ、第 1 の結晶性半導体よりも大きな結晶粒を有する第 2 の結晶性半導体を作製することを特徴とする液晶表示装置の製造方法。

【請求項 14】請求項 11又は 12 の液晶表示装置の製

造方法において、前記半導体薄膜は、非晶質シリコン膜である液晶表示装置の製造方法。

【請求項 15】請求項 1～6 のいずれかに記載の液晶表示装置の製造方法において、前記非晶質半導体膜は、プラズマ化学気相成長法により形成する液晶表示装置の製造方法。

【請求項 16】請求項 10 の液晶表示装置の製造方法において、前記絶縁膜の内、前記非晶質半導体膜と接触する絶縁膜を、アルコキシシランと酸素の混合ガスを原料としたプラズマ化学気相成長法により形成する液晶表示装置の製造方法。

【請求項 17】請求項 16 の液晶表示装置の製造方法において、前記アルコキシシランは、分子内に S-H 結合を有する液晶表示装置の製造方法。

【請求項 18】絶縁性基板上に、絶縁膜を形成する工程と、前記絶縁膜上に水素を含有する非晶質半導体膜を形成する工程と、

前記水素を含有する非晶質半導体膜に、第 1 のエネルギー密度を有するエネルギービームを照射する工程と、前記第 1 のエネルギー密度より大きい第 2 のエネルギー密度を有するエネルギービームを照射する工程と、前記第 2 のエネルギー密度より大きい第 3 のエネルギー密度を有するエネルギービームを照射する工程と、を経て多結晶半導体膜を得る工程と、

前記多結晶半導体膜を所定の形状にパターニングする工程と、

前記パターニングされた多結晶半導体を覆うようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を介して、前記多結晶半導体の一部上に延在するようにゲート電極を形成する工程と、

前記ゲート電極をマスクとして、イオン注入法等の手段により前記多結晶半導体の所定部分に P 型あるいは N 型不純物を導入する工程と、

熱処理により前記 P 型あるいは N 型不純物を活性化しソース、ドレイン領域を形成する工程と、

前記多結晶半導体およびゲート電極、ソース、ドレイン領域を覆うように層間絶縁膜を形成する工程と、

前記ソース、ドレイン電極上の層間絶縁膜に開口部を設ける工程と、

前記開口部を介して、前記ソース、ドレイン領域に接続するようにソース電極、ドレイン電極を形成する工程と、

前記ソース、ドレイン電極を少なくとも覆うように保護絶縁膜を形成する工程と、

前記ソースまたはドレイン電極上の保護絶縁膜に第 2 の開口部を設ける工程と、

前記第 2 の開口部を介して、前記ソースまたはドレイン電極に接続する画素電極を形成する工程と、を有する液晶表示装置の製造方法。

【請求項 19】請求項 1～18 のいずれかに記載の液晶表示装置の製造方法において、

前記絶縁性基板は、歪み点が 700℃以下のガラス基板であって、少なくともその一辺が 800mm 以上である液晶表示装置の製造方法。

【請求項 20】絶縁性基板上に、複数の信号配線と、該複数の信号配線に交差するように形成されたゲート配線と、前記信号配線と前記ゲート配線の交差点近傍に形成された複数の半導体素子と、前記複数の半導体素子に接続された画素電極とを有する液晶表示装置において、前記半導体素子を構成する半導体膜は、レーザ結晶化法によって作製された、膜厚が 45nm 以下 20nm 以上でかつ表面の平均粗さが 5nm 以下で、かつ平均結晶粒径が 600nm 以上である液晶表示装置。

【請求項 21】絶縁性基板上に、複数の信号配線と、該複数の信号配線に交差するように形成されたゲート配線と、前記信号配線と前記ゲート配線の交差点近傍に形成された複数の半導体素子と、前記複数の半導体素子に接続された画素電極と、前記複数の半導体素子に接続され、少なくとも一方の電極が半導体膜で構成された容量素子とを有する液晶表示装置において、前記容量素子の電極を構成する半導体膜は、レーザ結晶化法によって作製された、膜厚が 45nm 以下 20nm 以上でかつ表面の平均粗さが 5nm 以下で、かつ平均結晶粒径が 600nm 以上である液晶表示装置。

【請求項 22】絶縁性基板上に複数の信号配線と、前記複数の信号配線に交差するように形成されたゲート配線と、前記信号配線とゲート配線の交差点近傍に形成された複数の半導体素子と、前記複数の半導体素子に接続された画素電極とを少なくとも有する液晶表示装置において、

前記半導体素子を構成する半導体膜は、レーザ結晶化法によって作製された、膜厚が 45nm 以下 20nm 以上でかつ表面の平均粗さが 5nm 以下で、かつ平均結晶粒径が 600nm 以上であって、かつ任意の結晶粒の面積を  $S_n$  とした時、その結晶粒の表面における外周の長さ  $L_n$  が、 $R_n = (S_n / \pi)^{1/2}$  で定義される  $R_n$  に対して、少なくとも 50% 以上の結晶粒において  $L_n \leq 4\pi R_n$  が成り立つ半導体薄膜である液晶表示装置。

【請求項 23】絶縁性基板上に複数の信号配線と、該複数の信号配線に交差するように形成されたゲート配線と、前記信号配線と前記ゲート配線の交差点近傍に形成された複数の半導体素子と、前記複数の半導体素子に接続された画素電極と、前記複数の半導体素子に接続され少なくとも一方の電極が半導体膜で構成された容量素子とを有する液晶表示装置において、前記容量素子の電極を構成する半導体膜は、レーザ結晶

化法によって作製された、膜厚が45nm以下20nm以上でかつ表面の平均粗さが5nm以下で、かつ平均結晶粒径が600nm以上であって、かつ任意の結晶粒の面積を $S_n$ とした時、その結晶粒の表面における外周の長さ $L_n$ が、 $R_n = (S_n / \pi)^{1/2}$ で定義される $R_n$ に対して、少なくとも50%以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立つ半導体薄膜である液晶表示装置。

【請求項24】請求項20～23のいずれかに記載の液晶表示装置において、前記半導体膜は膜表面の主たる結晶配向が(111)である多結晶シリコン膜である液晶表示装置。

【請求項25】請求項20～24のいずれかに記載の液晶表示装置において、前記絶縁性基板は、歪み点が70℃以下のガラス基板である液晶表示装置。

【請求項26】請求項20～24のいずれかに項記載の液晶表示装置において、前記半導体素子は、前記半導体膜上に絶縁膜を介してゲート電極が形成されたトップゲート構造を有する液晶表示装置。

【請求項27】請求項1～6のいずれかに記載の液晶表示装置の製造方法において、前記エネルギービームは、レーザ光である液晶表示装置の製造方法。

【請求項28】請求項1～6のいずれかに記載の液晶表示装置の製造方法において、前記第2の工程又は前記第3の工程又は前記第4の工程のエネルギービームの照射は、複数回行う液晶表示装置の製造方法。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、液晶表示装置およびその製造方法に関し、特に大型、高精細、高画質を有する高品位の液晶表示装置の構成およびその製造方法に関するものである。

#### 【0002】

【従来の技術】OA機器等の画像情報、文字情報の表示装置として、薄膜トランジスタ（以下TFTと記す）を用いたアクティブマトリックス方式の液晶表示装置が知られている。従来この種の液晶表示装置においては低コスト化、高精細化、高画質化が重要な課題である。これらの課題を解決するためにはキーデバイスであるTFTの性能向上が欠かせない。高性能なTFTを安価なガラス基板上に形成するに際して、例えば、特開平8-16772号公報に記載されているように、TFTアクティブマトリックスを駆動する周辺駆動回路をもTFTで構成し、同一基板上に集積してコストを低減することが試みられている。より高機能の周辺駆動回路をガラス基板上に集積できれば外部に実装する回路構成や実装工程を簡単化できるので実装コストの大幅な削減が期待できる。

高機能の回路を構成するためには、より高性能なTFTが必要とされる。特に、現在周辺駆動回路集積型の液晶表示装置用のTFTとして多結晶シリコン（以下poly-Siと記す）膜上に形成したpoly-Si TFTが、期待されている。高性能のpoly-Si TFTを大面積基板上に形成するためには高品質なpoly-Si膜を低温で形成することが必要である。低温で、高品質なpoly-Si膜を大型のガラス基板上に形成する技術として、高出力レーザを用いたレーザ結晶化法が知られている。

【0003】従来、半導体薄膜のレーザ結晶化法では、特に粒径の大きな多結晶が形成される際、その膜厚と同じレベルの高さの突起が生成する。この半導体薄膜を、デバイス、特に薄膜トランジスタの能動層に適用した時に、突起部における電界集中によってホットキャリアがゲート絶縁膜を劣化させるため、この突起がゲート絶縁膜の耐圧特性や長期使用に対する信頼性を低下させる一因となっている。これまでに報告されている、レーザ結晶化を用いた表面の凹凸が少い結晶性半導体薄膜の製造方法としては、

(1) IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 42 NO.2 1995 p251 に記載されているようにレーザを10mJ/cm<sup>2</sup> ビッチで多段階照射する。

【0004】(2) Dig. of Tech. Papers 1997 Int. Workshop Active Matrix Liq. Cryst. Displays (Business Center of Academic Societies, Tokyo 1997) p167 に記載されているように、非晶質シリコンを固層成長法で多結晶化した後、レーザ照射する。

【0005】(3) Dig. of Tech. Papers 1996 Int. Workshop Active Matrix Liq. Cryst. Displays (Business Center of Academic Societies, Tokyo 1996) p85 に記載されている結晶化の際に半導体表面にレーザ光を透過するキャップ材を形成して、凹凸の成長を抑える手法がある。

#### 【0006】

【発明が解決しようとする課題】上記従来技術では以下のような問題がある、従来技術の(1)は、レーザを細かく10mJ/cm<sup>2</sup>で多段階照射するため、一度できた微結晶シリコンが溶融しにくく、結晶粒径が60nm程度の多結晶シリコンしか作製できず、結晶粒径が500nm以上の大きな多結晶シリコンができないという問題点がある。

【0007】(2)では、固層成長法を用いるため、シリコンを1000℃で加熱するので安価なガラス基板が使用できず、低コストで結晶性半導体を製造できない問題がある。

【0008】(3)では、レーザ照射による溶融時に、熱がキャップ材に熱伝導で逃げるため、結晶化速度が速まり結晶粒径の小さな品質の悪い多結晶半導体しかできないのが問題である。

【0009】以上のように、従来のレーザ結晶化の方法

では、表面の平滑化による素子信頼性の向上と大粒径化による移動度等の性能の向上の両立が困難であった。

【0010】これに対して、本発明はレーザ結晶化法を用い、結晶粒径の拡大と半導体表面での突起生成の抑制との両立を目的としており、膜厚が45nm以下でかつ平均結晶粒径が600nm以上でかつ表面の平均粗さが5nm以下と平坦な高性能な結晶性半導体膜およびそれを用いた液晶表示装置を提供するものである。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明では半導体薄膜をレーザ結晶化する際に、半導体の膜厚が45nm以下とし、レーザ照射により一旦多結晶半導体を作製した後、さらに高エネルギーのレーザを照射して、前のレーザ照射によって形成された結晶粒を融着せしめ、さらに大きな結晶粒を有しかつ表面が平坦な多結晶半導体膜を成長させることを特徴としている。

【0012】具体的には、絶縁基板上に、水素を含有する非晶質半導体膜を形成する第1の工程と、前記水素を含有する非晶質半導体膜に、第1のエネルギー密度を有するレーザ光等のエネルギービームを少なくとも一回以上照射する第2の工程と、前記半導体膜に、前記第1のエネルギー密度より大きい第2のエネルギー密度を有するレーザ光等のエネルギービームを少なくとも一回以上照射する第3の工程と、前記半導体膜に、前記第2のエネルギー密度より大きい第3のエネルギー密度を有するレーザ光等のエネルギービームを少なくとも一回以上照射する第4の工程とを少なくとも有する製造工程を採用した。

【0013】初期膜として、適度の水素を含む非晶質半導体膜をプラズマCVD法により形成することにより、一辺が800nm以上あるような大型のガラス基板上に400℃以下の低温で、均一に非晶質半導体を形成できる。また、初期膜の膜厚はレーザ再結晶化後の表面凹凸の大きさに影響を及ぼす。本発明者らの実験によれば、膜厚としては45nm以下であれば、表面凹凸は概ね5nm以下に抑制できることが明らかとなっている。

【0014】次に、第1のレーザ照射により、前記非晶質半導体中を加熱し、膜中の水素を脱離させる。

【0015】この時の照射エネルギー密度は膜の溶解、結晶化が起こらない程度とし、膜中の水素が一気に放出されることによる膜のボイドの発生を防止する。

【0016】次に、第1のレーザより強い第2のレーザ照射により、非晶質半導体を溶解、再結晶化させて、平均結晶粒径が50nm程度の小さい結晶粒から構成される多結晶半導体膜を得る。

【0017】この時に、結晶粒径を大きくするために照射エネルギーを一気に増大させると、完全に溶解したシリコンが、結晶化する際に、水平方向（下地基板に対して平行な方向）にも大きな温度勾配に従い結晶成長が水

平方向に進み、隣り合う成長面が衝突する領域（粒界）で、密度が熔融状態の $2.5\text{ g/cm}^3$ から結晶状態の $2.3\text{ g/cm}^3$ まで減少するため、体積の膨張が起こり突起が生成平滑な表面を得るという目的を達成できない。このため、第2のレーザビーム強度としては平均結晶粒径が50nm程度の小さい結晶粒から構成される多結晶半導体膜が得られる範囲を選ぶことが重要である。

【0018】最後に、第2のレーザビームよりもさらに強い第3のレーザビームの照射により、第2のレーザ照射で得られた小粒径の結晶粒を融着させて大粒径の多結晶半導体膜を得る。このようにして得られた大粒径多結晶半導体膜は、粒界を挟んだ結晶粒が融着（二次粒成長）することにより結晶粒の拡大が起きている。この時、水平方向に進む結晶成長面の衝突は起きないので、突起の高さは低いレーザで結晶化したときのものが維持されるので、結晶化プロセス全般にわたって、高い突起の生成は抑制される。

【0019】また、このようにして得られた多結晶半導体膜は、結晶粒は不定形であり、その結晶粒の表面における外周の長さ $L_n$ が、 $R_n = (S_n / \pi)^{1/2}$ で定義される $R_n$ に対して、少なくとも50%以上の結晶粒において $L_n \leq 4\pi R_n$ が成り立つものである。通常、周囲成長法によって作製した多結晶半導体膜では、結晶粒はデンドライト形状となり、結晶粒の面積に対して非常に大きな外周長を有し、上式は成り立たない。このような多結晶半導体膜では結晶欠陥が多く大きなキャリア移動度が得られない。これに対して本発明による多結晶半導体膜は、結晶粒の外周長が小さく高品質な結晶性半導体となっている。

【0020】このような大粒径で平坦な多結晶半導体膜は、高信頼で高性能なTFTに好適である。

【0021】本発明のその他の特徴は以下の実施の形態から明らかとなろう。

【0022】

【発明の実施の形態】以下、本発明の実施例につき半導体膜としてシリコンを用いた例を図面を参照しながら説明する。

【0023】（実施の形態1）680mm×880mmで歪み点670℃の無アルカリガラス基板1上にテトラエチルオルソシケイト（TEOS）と酸素ガスを原料としたプラズマCVD法で酸化シリコン膜2を200nm成膜する。

【0024】成膜温度は360℃でTEOSと $O_2$ の流量比は1:100である。下地酸化シリコン膜は上層の半導体層と接触するためゲート酸化膜と同等の良質な膜を形成する必要がある。TEOS:  $O_2$  比を1:100とし、成膜温度350℃とすることにより、固定電荷密度が小さい良質な酸化シリコン膜2をえることができる。また、TEOSの替わりに、TEOS分子の4つのアルキル基のひとつをHで置き換えたトリエトキシオル

ソシリケート ( $\text{H-Si-O}_3(\text{C}_2\text{H}_5)_3$ ) を使うことも良質な膜を形成するために有効である。

【0025】次に、モノシランと水素を原料ガスとするプラズマCVD法により膜厚35nmの水素化非晶質シリコン3を成膜する。赤外吸収法により評価した膜中の水素量は7~10at%であった。(図1)

次に、200mJ/cm<sup>2</sup>のXeClエキシマレーザ4を30ショット照射して、上記水素化非晶質シリコン膜3の含有水素を脱離させる。脱水素処理後の膜中水素量は1~3at%であった。(図2)

次に300mJ/cm<sup>2</sup>のXeClエキシマレーザ4を照射して、脱水素化処理した非晶質シリコン4を結晶化させた多結晶シリコン膜5を形成する。平均結晶粒径は約60nmであった。(図3)

次に、380mJ/cm<sup>2</sup>のXeClエキシマレーザ4を多結晶シリコン膜5に照射すると、平均結晶粒径は約60nmの結晶粒が相互に融着して平均結晶粒径が約600nmの多結晶シリコン膜6が得られた。(図4)

図5にこのようにして得られた多結晶シリコン膜6の表面および断面の走査電子顕微鏡像写真を示す。平面図においては結晶粒界をはっきりさせるために粒界部分はエッチング処理により除去してある。写真から分かるように膜の表面は極めて平滑であり、大きな結晶粒が得られていることが分かる。表面の平均凹凸は3nmであった。平坦化を達成する上で初期の非晶質シリコンの膜厚は重要な要素である。図6は膜厚55nmの水素化非晶質シリコンに対し、同様な工程を施して作製した多結晶シリコン膜の表面および断面走査電子顕微鏡像写真を示す。膜厚55nmでは同様な工程を経たにもかかわらず、表面に膜厚と同程度の高さの突起がみられ、従来のレーザ結晶化法で作製した多結晶シリコン膜と変わるところがなかった。そこで、表面凹凸および結晶粒径と初期膜である水素化非晶質シリコンの膜厚の関係を詳細に調べた。

【0026】図7に異なる初期膜厚のシリコン膜に対する膜の平均結晶粒径と3回目のエキシマレーザの照射エネルギーの関係を示す。

【0027】尚、結晶粒の平均粒径は、各々の結晶粒の面積に等しい円の直径で定義しており、m個の結晶粒が存在する任意の領域(面積はS)の平均結晶粒径laは次式で定義される。

$$【0028】la = 2 \times ((S/m)/\pi)^{1/2}$$

なお、本発明では、平均結晶粒径を求める範囲の面積SはSEMの場合、結晶粒の大きさが確認できる倍率で撮影された、一視野の中の粒界が視野から外れて切れることなくその全体が撮影された各結晶粒の面積の合計である。また、複数の視野がある場合は、各視野の全体が視野に入った結晶粒の面積の合計を全視野あわせの合計が面積Sとなる。AFMやSTM等の場合は、その任意の測定範囲内に粒界が全て入った各々の結晶粒の面積の合

計である。

【0029】平均結晶粒径が最大となる照射エネルギーは初期膜の膜厚に依存し、膜厚が薄くなるほど小さくなる。また、平均結晶粒径の最大値も初期膜の膜厚に依存し、膜厚45~35nmで最も大きくなり、それより膜厚が薄くても厚くても最大粒径は小さくなることから分かる。膜厚が薄くなるほど最大粒径が大きくなるのは、2次結晶粒成長のドライビングフォースとなる基板界面での表面エネルギーが粒界での原子再配列に必要な粒界エネルギーにくらべ大きくなり2次結晶粒成長が速くなりやすくなったためと考えられる。この結果から、結晶粒径を大きくするためには初期膜の膜厚としては45nm以下、望ましくは35nm~45nmが良いことがわかる。

【0030】図8は最大平均結晶粒径が得られた膜の表面凹凸および最大結晶粒径と初期膜の膜厚の関係を示す。

【0031】表面凹凸は原子間力顕微鏡(AFM)により求めた平均粗さである。

【0032】本発明では表面の平均粗さは算術平均粗さ(Ra)を意味しており、半導体の表面形状を三次元で分析する場合は、表面形状曲面と表面形状の平均高さの面で囲まれた部分の体積を測定面積で割ったものである。本発明では測定面積を、三次元で表面形状を分析できるAFMや走査型トンネル電子顕微鏡(STM)等の分析手段で分析する場合、分析が可能である分析限界面積より大きな面積をもった半導体表面の任意の範囲とする。一方、表面形状を半導体の二次元の断面構造で分析する場合、表面平均粗さは、図9に示すように表面形状曲線から得られると表面形状の高さの積分値を測定長で割ったものである。断面構造はTEMや高分解能の走査型電子顕微鏡(SEM)の写真によって観察できる。またAFMやSTMの測定針を1回走査することでも可能である。本発明で、平均粗さを算出する測定長の範囲は、TEMやSEM等の電子顕微鏡を分析手段とする場合、粗さの算出が可能な倍率である電子顕微鏡の一視野もしくは複数の視野である。また、AFMやSTMを用いる場合は、その測定限界長さよりも長い半導体表面の任意の範囲である。本発明では、平均粗さの算出法は三次元の形状からの算出と断面形状からの算出のどちらを用いてもよい。三次元の形状を見た場合、膜厚方向をZ軸、測定された表面形状曲面を $z = f(x, y)$ とすると、Raは次のようになる。

$$【0033】Ra = (1/(Lx \cdot Ly)) \times \int_{Lx_0}^{Lx_1} \int_{Ly_0}^{Ly_1} f(x, y) dx dy$$

ここでLx:X方向測定長, Ly:Y方向測定長  
一方、断面構造を見た場合、膜厚方向をZ軸、測定された表面形状曲線を $z = f(x)$ とすると、Raは次のようになる。

$$【0034】Ra = (1/Lx) \times \int_{Lx_0}^{Lx_1} f(x) dx$$

ここで  $L_x$  : X方向測定長である。

【0035】図8の結果より、平均結晶粒径600nmを得るためには初期膜厚20nm以上が望ましいことがわかる。また、表面凹凸5nm以下を得るためには膜厚が45nm、望ましくは40nm以下とすることが望ましい。

【0036】また、本発明による多結晶シリコン膜をX線回折法で観察すると、基板面に平行な結晶面が(111)面に強く配向していることが判明した。これは、 $S_i$ では(111)面の表面エネルギーが最も小さくなるため起こる現象であり、結晶粒径の増大が、表面エネルギーがドライビングフォースとなって起こる2次結晶成長によって引き起こされていることを裏付けている。

【0037】また、このように結晶粒の結晶面をそろえることにより、実用上では結晶粒界でのポテンシャルバリアが低くなりキャリア移動度が増大する効果がある。

【0038】(実施の形態2) 本発明の第2の実施の形態を図10～図19により説明する。

【0039】680mm×880mmで歪み点670℃の無アルカリガラス基板1上にモノシランとアンモニアと窒素の混合ガスを原料としたプラズマCVD法により窒化シリコン膜200を100nm堆積する。

【0040】次にテトラエチルオルソシリケート(TEOS)と酸素ガスを原料としたプラズマCVD法で酸化シリコン膜2を200nm成膜する。

【0041】続いて、モノシランと水素を原料ガスとするプラズマCVD法により膜厚40nmの水素化非晶質シリコン3を成膜する。(図10)シリコン3を成膜する。赤外吸収法により評価した膜中の水素量は7～10at%であった。

【0042】次に、200mJ/cm<sup>2</sup>のXeClエキシマレーザ4を30ショット照射して、上記水素化非晶質シリコン膜3の含有水素を脱離させる。脱水素処理後の膜中水素量は1～3at%であった。

【0043】次に300mJ/cm<sup>2</sup>のXeClエキシマレーザ4を照射して、脱水素処理した非晶質シリコン3を結晶化させ多結晶シリコン膜5を形成する。このとき平均結晶粒径は約60nmとなった。

【0044】次に、380mJ/cm<sup>2</sup>のXeClエキシマレーザ4を多結晶シリコン膜5に照射すると、結晶粒が融着して平均結晶粒径が約600nmで表面平均粗さが3nmの多結晶シリコン膜6を形成する。(図11)次に、周知のホトリソグラフィ法により前記多結晶シリコン膜6を所定形状にパターンニングする。

【0045】次に、テトラエチルオルソシリケート(TEOS)と酸素ガスを原料としたプラズマCVD法でゲート絶縁膜20を二酸化シリコン膜とし50nm堆積する。形成時の基板温度は360℃、TEOSとO<sub>2</sub>のガス混合比は1:100とし、ゲート絶縁膜20として二酸化シリコン膜を得た。(図12)

次に、ゲート電極としてNb膜250nmをスパッタリング法により堆積し、周知のホトリソグラフィ法により所定の平面形状にパターンニングしTFTのゲート電極およびこれと一体化された走査線電極であるゲート電極10を得る。(図13)

次にゲート電極をマスクとしてイオン注入法によりリンを加速電圧45keV、ドーズ量1E13cm<sup>-2</sup>でうち込みn<sup>+</sup>層311を形成する。(図14)次に、ホトリソグラフィ法により所定のホトレジストパターンを形成した後、リンを加速電圧40keV、ドーズ量1E15cm<sup>-2</sup>で打ち込みn<sup>+</sup>層31を形成する。(図15)

前記のホトレジストパターンを除去後、ホトリソグラフィ法により別のホトレジストパターンを形成し、ボロンを加速エネルギー30keV、ドーズ量3E15cm<sup>-2</sup>で注入し、p<sup>+</sup>層32を形成する。(図16)

層間絶縁膜としてテトラエチルオルソシリケート(TEOS)と酸素ガスを原料としたプラズマCVD法で層間絶縁膜21として二酸化シリコン膜を500nm堆積し450℃で1時間熱処理し注入イオンを活性化する。

(図17)

周知のホトリソグラフィ法により層間絶縁膜にコンタクトスルーホールを開孔した後、ソース、ドレイン電極としてAlを450nm、Crを50nmスパッタリング法で堆積し、周知のホトリソグラフィ法によりパターンニングしてソース電極11、ドレイン電極12を得る。

(図18)

次に、保護絶縁膜として、テトラエチルオルソシリケート(TEOS)と酸素ガスを原料としたプラズマCVD法で保護絶縁膜22として二酸化シリコン膜を200nmとモノシランとアンモニアと窒素の混合ガスを原料としたプラズマCVD法により保護絶縁膜23として窒化シリコン膜を500nm堆積する。

【0046】次に、基板を水素あるいは窒素雰囲気中400℃で1時間熱処理することにより、保護絶縁膜23としての窒化シリコン膜中に含有される水素を前記多結晶シリコン膜3へ拡散させ、結晶粒界に存在する欠陥を封止して不活性化させる。

【0047】最後に、周知のホトリソグラフィ法により保護絶縁膜にコンタクトスルーホールを開孔した後、ITO膜をスパッタリング法により140nm堆積し、周知のホトリソグラフィ法により加工し画素電極13を形成し、多結晶シリコンTFTを用いたアクティブマトリクス基板を得る。(図19)

本実施の形態では、表面の平均粗さが3nmと平坦な多結晶シリコン膜6を用いてTFTアクティブマトリクスを構成したので、信頼性を低下させることなく多結晶シリコン膜6上のゲート絶縁膜の膜厚を50nmまで薄くすることができた。

【0048】図20は本実施の形態の製造方法により作製したTFTのゲート-ソース間リーク電流特性を従来



の TFT と比較したものである。

【0049】ゲート絶縁膜が 50 nm の従来の素子では多結晶シリコン膜表面の突起部での電界集中により印加電界 2 MV/cm 以下の低電界領域で大きなリーク電流を示し、かつ絶縁破壊電界も 4 MV/cm 以下と低く液晶駆動用 TFT としては実用に耐えないが、本実施の形態の製造方法により作製した TFT では表面の平滑性のために低電界領域でのリーク電流は十分低く抑えられており、かつ絶縁破壊電界も 7 MV/cm と高く、高信頼の TFT が得られた。

【0050】また、平均結晶粒径が 600 nm と良好な結晶性を持つ多結晶シリコンを用いたため、NMOs の電界効果移動度として  $301 \text{ cm}^2/\text{Vs}$  と良好な TFT が得られた。これら高いキャリア移動度とゲート絶縁膜の薄膜化の特徴により、電流駆動能力の高い高性能 TFT を得ることができた。このような高性能 TFT は、高品位の表示装置の駆動回路に必要とされる高性能駆動回路を構成するために好適なものである。

【0051】(実施の形態 3) 図 21 は本発明の別の実施の形態にかかる液晶表示装置の単位画素の平面図、図 22 は図 21 中 A-A' で示される線に沿った断面図である。

【0052】本実施の形態においては、TFT を構成する半導体だけでなく、TFT に接続された容量素子  $C_{st}$  の一方の電極を本発明の多結晶シリコンで構成した点に特徴がある。容量素子  $C_{st}$  は、多結晶シリコン膜 30 と共通電極 15 およびこれらに挟持されたゲート絶縁膜 20 とで構成されている。

【0053】このような容量素子は液晶層の容量の電圧依存性や、TFT のゲートソース間の寄生容量に起因するフィードスルー電圧に起因して発生する液晶印加電圧の非対称を補償するために液晶容量と並列に設けられる。液晶印加電圧の非対称を十分小さくするためには容量値はできるだけ大きくするほうがよいが、容量素子は一般に面積を必要とするため、大きな容量を形成すると画素内面積が透過する開口部の面積が小さくなり、光利用効率低下する。

【0054】また、大きな面積を取る容量部ではショート不良が起こりやすい。特に、表面に大きな突起がある従来の多結晶シリコン膜を容量電極として用いると容量部でのショート不良が頻発し画素欠陥が発生しやすい。容量電極として、本発明による表面が平坦な多結晶シリコン膜を用いたことにより、容量素子部でのショート不良発生がほとんどないため、画素欠陥のない高品質な液晶表示装置を構成できた。また、ショート不良を増加させることなく容量部の絶縁膜を薄くすることが可能となったので、単位面積あたりの容量を大きくすることができ、容量形成に必要な面積を縮小できた。このため開口部の面積を大きくすることができたので光利用効率が向上し、より明るい液晶表示装置を構成できた。

【0055】(実施の形態 4) 図 23 は、周辺駆動回路を TFT アクティブマトリックスとともに同一基板上に集積した表示装置全体の等価回路を示す。Y1 ~ Yend の走査信号線 10 と、X1 R ~ Xend B からの映像信号線であるドレイン電極 12 および、これらの交差点付近に形成された TFT よりなるアクティブマトリックス 50 と、これを駆動する垂直走査回路 51、1 走査線分のビデオ信号を複数のブロックに分割して時分割的に供給するための毎水平走査回路 53、ビデオ信号 Data を供給するデータ信号線 Vdr1, Vdg1, Vdb1, …、ビデオ信号を分割ブロック毎にアクティブマトリックス側へ供給するスイッチマトリックス回路 52 よりなる。

【0056】半導体膜として、本発明の特徴である表面凸が 5 nm 以下と平坦で、平均結晶粒径が 600 nm 以上の大粒径の多結晶シリコン膜を用いたため、NMOs で  $300 \text{ cm}^2/\text{Vs}$  以上の高移動度の TFT を得ることができた。この TFT を用いたことにより、水平走査回路の高速度が可能となった。このことにより、ビデオ信号を複数のブロックに分割する場合の分割数を少なくできるので、外部からの信号接続線を少なくでき、コンパクトな液晶表示装置を実現できた。

【0057】また、駆動回路の高速度により、対角サイズ 10 インチで垂直走査線数 1200 本水平信号線数 1600 × 3 本と高精細の駆動回路内蔵型液晶表示装置を実現した。

【0058】(実施の形態 5) 図 24 は本発明に係る液晶表示装置の液晶セル断面模式図を示す。液晶層 506 を基準に下部のガラス基板 1 上には、ゲート電極 10 と映像信号電極であるドレイン電極 12 とがマトリックス状に形成され、その交点近傍に形成された TFT を介して ITO よりなる画素電極 13 を駆動する。液晶層 506 を挟んで対向する対向ガラス基板 508 上には ITO よりなる対向電極 510、及びカラーフィルター 507、カラーフィルター保護膜 511、遮光用ブラックマトリックスパターンを形成する遮光膜 512 が形成されている。偏光板 505 はそれぞれ一対のガラス基板 1、508 の外側の表面に形成されている。液晶層 506 は液晶分子の向きを設定する下部配向膜 ORI1 と、上部配向膜 ORI2 の間に封入され、シール材 SL (図示せず) によってシールされている。下部配向膜 ORI1 は、ガラス基板 1 側の保護絶縁膜 23 の上部に形成される。対向ガラス基板 508 の内側の表面には、遮光膜 512、カラーフィルター 507、カラーフィルター保護膜 511、対向電極 510 および下部配向膜 ORI2 が順次積層して設けられている。この液晶表示装置はガラス基板 1 側と対向ガラス基板 508 側の層を別々に形成し、その後上下ガラス基板 1、508 を重ねあわせ、両者間に液晶 506 を封入することによって組立られる。バックライト BL からの光の透過を画素電極 13 部分で調節することにより TFT 駆動型のカラー液晶表示装置が構成

される。画素電極 13 を駆動する TFT およびこれを駆動する駆動回路の TFT として、以上に述べた本発明の半導体素子を用いることにより、高信頼、高品位の TFT 方式液晶表示装置を実現できる。

【0059】

【発明の効果】本発明により、表面の凹凸が小さくかつ結晶粒径の大きい高品質な薄膜半導体を製造できるため、それを用いて高品位かつ高信頼の液晶表示装置を得ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態を示す断面図である。

【図 2】本発明の第 1 の実施の形態を示す断面図である。

【図 3】本発明の第 1 の実施の形態を示す断面図である。

【図 4】本発明の第 1 の実施の形態を示す断面図である。

【図 5】本発明の実施の形態にかかる膜厚 40 nm の多結晶シリコン膜の断面および平面電子顕微鏡写真とその模写図である。

【図 6】本発明の範囲外の膜厚 55 nm の多結晶シリコン膜の断面および平面電子顕微鏡写真とその模写図である。

【図 7】膜厚の異なるシリコン膜における照射レーザーエネルギーと平均結晶粒径の関係を示す図である。

【図 8】多結晶シリコン膜の結晶粒径の最大値および平均表面凹凸と膜厚の関係を示す図である。

【図 9】平均表面凹凸の定義を説明する模式図である。

【図 10】本発明の実施の形態を示す断面図である。

【図 11】本発明の実施の形態を示す断面図である。

【図 12】本発明の実施の形態を示す断面図である。

【図 13】本発明の実施の形態を示す断面図である。

【図 14】本発明の実施の形態を示す断面図である。

【図 15】本発明の実施の形態を示す断面図である。

【図 16】本発明の実施の形態を示す断面図である。

【図 17】本発明の実施の形態を示す断面図である。

【図 18】本発明の実施の形態を示す断面図である。

【図 19】本発明の実施の形態を示す断面図である。

【図 20】本発明の方法により作製した TFT と従来の TFT のゲートリーク電流特性の比較を示す。

【図 21】本発明の実施の形態にかかる液晶表示装置の単位画素の平面図である。

【図 22】本発明の実施の形態にかかる液晶表示装置の単位画素の断面図である。

【図 23】本発明の実施の形態にかかる駆動回路内蔵型液晶表示装置の全体構成図である。

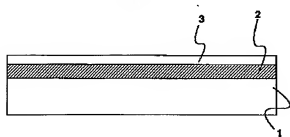
【図 24】本発明の実施の形態にかかる液晶表示装置のセル断面図である。

【符号の説明】

1…ガラス基板、2…下地酸化シリコン膜、3…水素化非晶質シリコン、4…XeClエキシマレーザー、5、6、30…多結晶シリコン膜、10…ゲート電極、11…ソース電極、12…ドレイン電極、13…画素電極、20…ゲート絶縁膜、21…層間絶縁膜、22…保護絶縁膜 ( $\text{SiO}_2$ )、23…保護絶縁膜 ( $\text{Si}_3\text{N}_4$ )、31…n+層、32…p+層、51…垂直走査回路、53…水平走査回路、50…TFT アクティブマトリックス、52…スイッチマトリクス回路、200…窒化シリコン膜、331…n-層。

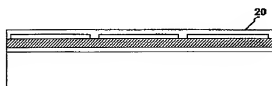
【図 1】

図 1



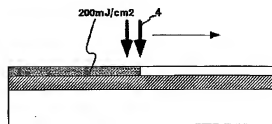
【図 12】

図 12

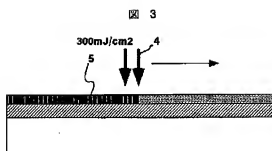


【図 2】

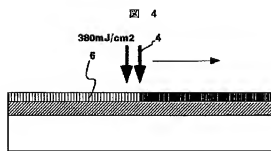
図 2



【図3】

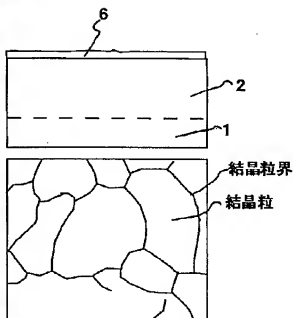
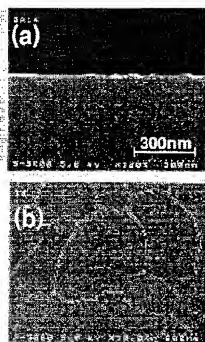


【図4】



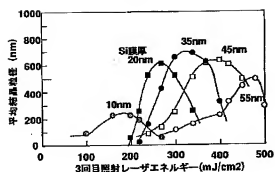
【図5】

図 5



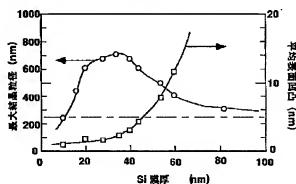
【図7】

図 7



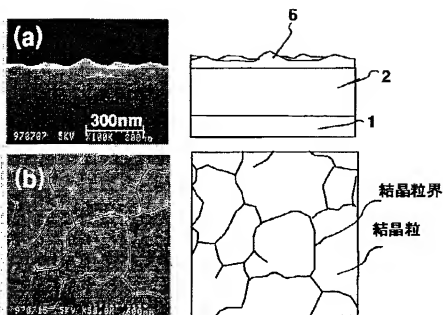
【図8】

図 8



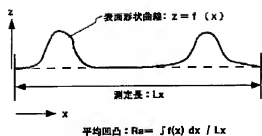
【図6】

図 6



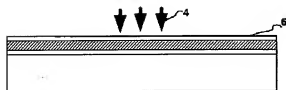
【図9】

図 9



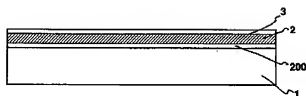
【図11】

図 11



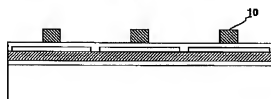
【図10】

図 10



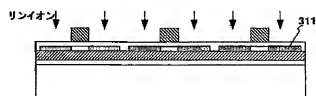
【図13】

図 13

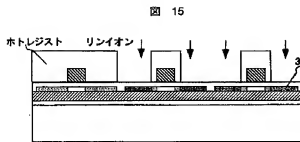


【図14】

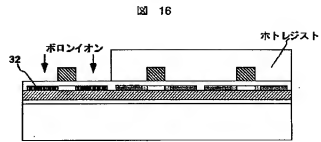
図 14



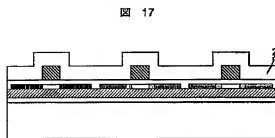
【図15】



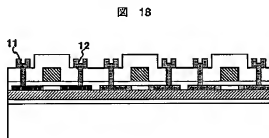
【図16】



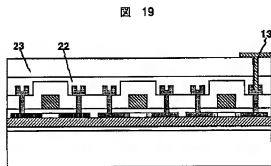
【図17】



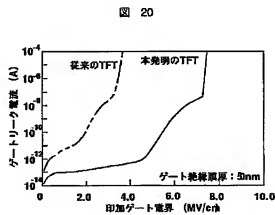
【図18】



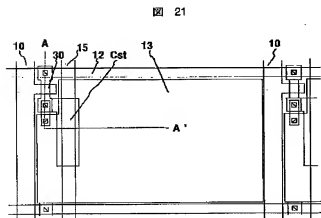
【図19】



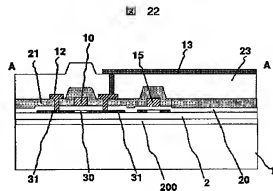
【図20】



【図21】

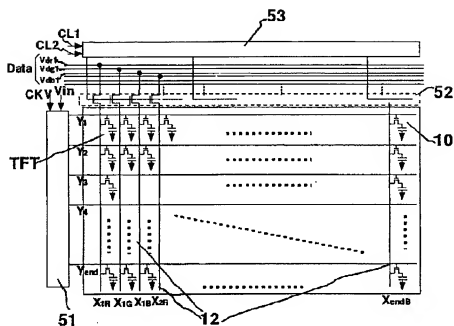


【図22】



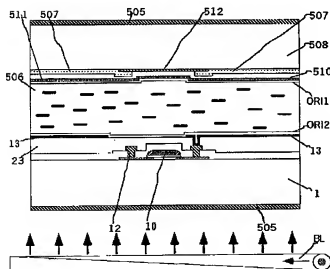
【図23】

図 23



【図24】

図 24



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 L 21/336